

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

JPAB

CLIPPEDIMAGE= JP405143211A

PAT-NO: JP405143211A

DOCUMENT-IDENTIFIER: JP 05143211 A

TITLE: INPUT INTERFACE CIRCUIT

PUBN-DATE: June 11, 1993

INVENTOR-INFORMATION:

NAME

IRIE, ATSUSHI

NISHIDAI, HAJIME

ASSIGNEE-INFORMATION:

NAME

COUNTRY

OMRON CORP

N/A

APPL-NO: JP03301962

APPL-DATE: November 18, 1991

INT-CL (IPC): G06F003/00; G06F013/10

ABSTRACT:

PURPOSE: To make an input signal into a multilevel signal by plural threshold voltage levels without increasing the cost nor the packing area.

CONSTITUTION: A Schmitt trigger element 11 makes an input signal into a pulse based on the threshold voltage level set in a rising mode and the threshold voltage level set in a falling mode and different from the former voltage level. An input I/F circuit 1 contains the element 11, a 3-state buffer 12, and a clock generating circuit 13. Thus, the input signal is inputted to the element 11 via a coupling resistor 14 and an input line 15. At the same time, the output of the buffer 12 is connected to the line 15. The element 11 decides the input signal by the threshold voltage level set in the rising mode in an OFF state and in the falling mode in an ON state respectively.

COPYRIGHT: (C)1993, JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-143211

(43)公開日 平成5年(1993)6月11日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 3/00

K 8323-5B

13/10

3 1 0 Z 7230-5B

審査請求 未請求 請求項の数1(全11頁)

(21)出願番号 特願平3-301962

(22)出願日 平成3年(1991)11月18日

(71)出願人 000002945

オムロン株式会社

京都府京都市右京区花園土堂町10番地

(72)発明者 入江 篤

京都市右京区花園土堂町10番地 オムロン株式会社内

(72)発明者 西台 元

京都市右京区花園土堂町10番地 オムロン株式会社内

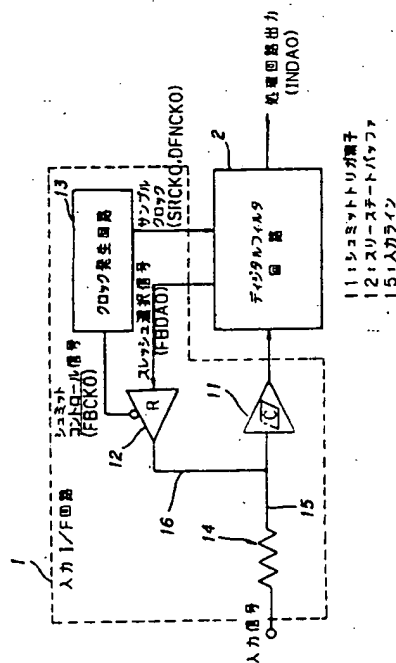
(74)代理人 弁理士 和田 成則

(54)【発明の名称】 入力インタフェース回路

(57)【要約】

【目的】 入力インタフェース回路において、コストおよび実装面積が増加せずに、複数のスレショルド電圧値により入力信号を多値化する。

【構成】 入力I/F回路1には、立上時のスレショルド電圧値と、この立上時のスレショルド電圧値とは電圧値が異なる立下時のスレショルド電圧値とにより、入力信号をパルス化するシュミットトリガ素子11、スリーステートバッファ12、およびクロック発生回路13を設け、入力信号が結合用の抵抗14、および入力ライン15を介してシュミットトリガ素子11へ入力するように接続すると共に、入力ライン14にスリーステートバッファ12の出力を接続する。シュミットトリガ素子11は、オフ状態にある時には立上時のスレショルド電圧値により入力信号を判定し、オン状態にある時には立下時のスレショルド電圧値により入力信号を判定する。



## 【特許請求の範囲】

【請求項1】入力信号を多値化する入力インタフェース回路において、

入力信号をパルス化する際のパルス波形立上時のスレシヨルド電圧値と、パルス波形立下時のスレシヨルド電圧値とが異なり、この両スレシヨルド電圧値により、入力ラインを介した入力信号を2値化する2値化手段と、上記入力ラインに接続されて、この入力ラインへの出力を上記2値化手段の立上時のスレシヨルド電圧値以上、立下時のスレシヨルド電圧値以下、あるいはハインピー

ダグンスにするスリーステート出力手段と、上記2値化手段が入力信号を入力する前に、上記スリーステート出力手段から上記入力ラインへの出力が、立上時のスレシヨルド電圧値以上あるいは立下時のスレシヨルド電圧値以下から、ハインピーダグンスにするように制御する制御手段と、

を具備すること特徴とする入力インタフェース回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、デジタル信号処理回路を含む機器等における、複数のしきい値により入力信号を多値化する入力インタフェース回路に関する。

## 【0002】

【従来の技術】デジタル信号処理回路を含む機器等における入力インタフェース回路では、最近、入力信号の信頼性を高めるために、スレシヨルド電圧値の異なるコンパレータを複数台パラレルに接続等して、入力信号を3値化して後段の処理回路で判定する方式がみられる。

## 【0003】

【発明が解決しようとする課題】しかし、このような従来の方式では、入力信号を3値化するためにスレシヨルド電圧値の異なるコンパレータ等のアナログ素子を複数台用いる必要があるため、コストが高くなると共に、実装面積が大きくなってしまいう問題がある。

【0004】そこで、本発明は上記問題に着目してなされたもので、コストおよび実装面積が増加せずに、複数のスレシヨルド電圧値により入力信号を多値化できる入力インタフェース回路を提供することを目的とする。

## 【0005】

【課題を解決するための手段】上記目的を達成するため、本発明では、入力信号を多値化する入力インタフェース回路において、入力信号をパルス化する際のパルス波形立上時のスレシヨルド電圧値と、パルス波形立下時のスレシヨルド電圧値とが異なり、この両スレシヨルド電圧値により、入力ラインを介した入力信号を2値化する2値化手段と、上記入力ラインに接続されて、この入力ラインへの出力を上記2値化手段の立上時のスレシヨルド電圧値以上、立下時のスレシヨルド電圧値以下、あるいはハインピーダグンスにするスリーステート出力手段と、上記2値化手段が入力信号を入力する前に、上記

スリーステート出力手段から上記入力ラインへの出力が、立上時のスレシヨルド電圧値以上あるいは立下時のスレシヨルド電圧値以下から、ハインピーダグンスにするように制御する制御手段と、を具備したこと特徴とする。

## 【0006】

【作用】本発明では、制御手段の制御により、2値化手段が入力信号を入力する前に、スリーステート出力手段が入力ラインへの出力を立上時のスレシヨルド電圧値以上あるいは立下時のスレシヨルド電圧値以下にセットすることにより、2値化手段の出力を立上（オン）状態、あるいは立下（オフ）状態へセットできる。

【0007】続いて、その後の両状態から入力ラインがハインピーダグンス状態になり、入力ラインを介して2値化手段に入力信号が入るため、2値化手段は、立上状態にあるときには立下時のスレシヨルド電圧値で入力信号を比較する一方、立下状態にあるときには立上時のスレシヨルド電圧値で入力信号を比較する。

## 【0008】

【実施例】以下、本発明に係る入力インタフェース回路（以下、入力I/F回路という）の一実施例を図面に基づいて説明する。ここでは、この入力I/F回路をデジタル信号処理回路の一例であるデジタルフィルタ回路に接続して説明する。

【0009】図1は、入力I/F回路1の一実施例の構成、およびデジタルフィルタ回路2との接続をブロック図により示している。

【0010】この入力I/F回路1は、2値化手段としてのシュミットトリガ素子11、スリーステート出力手段としてのスリーステートバッファ12、および制御手段としてのクロック発生回路13を備えており、外部からの入力信号が結合用の抵抗14および入力ライン15を介してシュミットトリガ素子11へ入力するように接続すると共に、入力ライン15にスリーステートバッファ12の出力ライン16を接続して構成されている。

【0011】また、シュミットトリガ素子11の出力にはデジタルフィルタ回路2を接続し、クロック発生回路13からデジタルフィルタ回路2およびスリーステートバッファ12へは各々、シュミットコントロール信号（反転FBCK0）、サンプルクロック（反転DFNCK0、SRCK0）が送出されるように接続されている。

【0012】図2は、クロック発生回路13の構成を示している。

【0013】このクロック発生回路は、図示しないCPU等のプロセッサからリセット信号（反転RESET）および原クロック信号（DNFCLK）を入力して、これらの信号に基づきここでは4台のデジタルフィルタ回路および入力I/F回路各々へ、サンプルクロック（反転DFNCK0〜3、SRCK0〜3）、およびシュミットコントロール信号（反転FBCK0〜3）が各々送出できるように、NOTゲート1

31、シフトレジスタ132、NOTゲート133a～d、NANDゲート134a～h、NORゲート135a～dを図に示すように接続して構成されている。

【0014】なお、本実施例では、入力I/F回路1およびデジタルフィルタ回路2のみしか図示していないため、シュミットコントロール信号（反転FBCKO）およびサンプルクロック（反転DFNCKO、SRCKO）のみを用いて説明する。

【0015】図3は、デジタルフィルタ回路2の構成を示している。

【0016】このデジタルフィルタ回路2は、入力I/F回路1の出力(IPAO)をサンプルクロック(SRCKO)により入力する4ビットのシフトレジスタ21、シフトレジスタ21の出力(QA～D)を処理するNANDゲート22およびNORゲート23、ANDゲート24aおよびNORゲート24bからなりNANDゲート22およびNORゲート23の出力を入力して後述するように入力信号のオン・オフを判定する判定回路24、およびこの判定回路24の判定出力をサンプルクロック（反転DFNCKO）により入力し、出力Qをこのデジタルフィルタ回路2の出力(INDAO)とするDフリップフロップ（以下、D-FFという）25を有している。また、D-FF 25は、反転出力Qnを判定回路24へ送出すると共に、反転出力Qnをスレッシュ選択信号（反転FBDAO）としてスリーステートバッファ12へ送出するように接続されている。

【0017】なお、本実施例では、フォトカプラ3のアナログ出力を入力I/F回路1の入力信号としている。

【0018】次に、図1～3に示した入力I/F回路1およびデジタルフィルタ回路3の回路動作を、図4～7を参照して説明する。

【0019】図4は、図2に示すクロック発生回路13、図1あるいは図3に示すデジタルフィルタ回路2および入力I/F回路1における入出力信号および内部信号をタイミングチャートにより示している。

【0020】図2に示すクロック発生回路13では、外部から入力するリセット信号（RESET）および原クロック信号（DNCLK）に基づき、シフトレジスタ132から出力（QA～D）を出力して、シュミットコントロール信号（反転FBCKO）およびサンプルクロック（反転DFNCKO、SRCKO）を出力する。

【0021】そして、図3に示すデジタルフィルタ回路2では、クロック発生回路13からのサンプルクロック(SRCKO)の立上時により、シフトレジスタ21が入力I/F回路1の出力(IPAO)をラッチする。また、サンプルクロック（反転DFNCKO）の立上時によりD-FF 25が後述するようにして判定された結果を出力する。

【0022】また、図1あるいは図3に示す入力I/F回路1では、スリーステート出力手段12がデジタルフィルタ回路2からスレッシュ選択信号（反転FBDAO）が

入力しており、シュミットコントロール信号（反転FBCKO）の“LOW”により、その出力（PAO-R）を、 $V_c = 0$  [V] にディスチャージ、あるいは $V_c = 5$  [V] にチャージを行う共に、シュミットコントロール信号（反転FBCKO）の“HIGH”により、ハインピーダンス状態にする。また、シュミットトリガ素子11は、スリーステート出力手段12の出力（PAO-R）がハインピーダンス状態、つまりシュミットコントロール信号（反転FBCKO）が“HIGH”の時に、フォトカプラ3から出力されたアナログ信号（PAO）を入力して、そのアナログ入力信号（PAO）をスレッシュド電圧値 $V_{th-}$ 、 $V_{th+}$  で比較して2値化し、その2値化データ（IPA0）を出力する。

【0023】図5は、図1に示す入力I/F回路1のシュミットトリガ素子11が立上時のスレッシュド電圧値 $V_{th+}$  で入力信号を2値化する際の各信号をタイミングチャートにより示している。

【0024】まず、シュミットトリガ素子11が入力信号を取り込む直前に、シュミットコントロール信号（反転FBCKO）が一定時間“LOW（オフ）”になり、スリーステートバッファ12は、オンしてバッファとして機能し、スレッシュ選択信号（反転FBDAO）の“0”を出力する。

【0025】スレッシュ選択信号（反転FBDAO）の“0（=0 [V]）”は、シュミットトリガ素子11の立下時のスレッシュド電圧値 $V_{th-}$ （本実施例では、例えば1.5 [V] とする。）より低くなるように予めセットされているため、入力ライン15のレベルがそのスレッシュド電圧値 $V_{th-}$  レベル以下になり、シュミットトリガ素子11への入力（PAO-C）は、入力信号（PAO）の電圧値に関係なくオフ状態に変わる。

【0026】そして、シュミットコントロール信号（反転FBCKO）が“HIGH”となった場合、スリーステートバッファ12の出力がハインピーダンス状態になるため、入力信号（PAO）が、抵抗14、入力ライン15を介した入力信号（PAO-C）としてシュミットトリガ素子11に入力することになる。

【0027】その際、シュミットトリガ素子11は、いままでオフ状態にあったため、この時のコンパレートレベルは、オフ状態からオン状態へのパルス立上時のスレッシュド電圧値 $V_{th+}$  となり、このスレッシュド電圧値 $V_{th+}$  と入力信号とを比較して当該入力信号（PAO-C）を2値化することになる。

【0028】一方、シュミットトリガ素子11が立下時のスレッシュド電圧値 $V_{th-}$  で入力信号を比較する場合にも、立上時のスレッシュド電圧値 $V_{th+}$  の場合と同様に、シュミットトリガ素子11が入力信号を取り込む直前に、シュミットコントロール信号（反転FBCKO）が一定時間“LOW”になり、スリーステートバッファ12がオンして、スレッシュ選択信号（反転FBDAO）の“1（=5 [V]）”を出力する。この出力“1（=5 [V]）”は、シュ

5

ミットトリガ素子11の立上時のスレッシュホールド電圧値 $V_{th+}$  (本実施例では、例えば3.5[V]とする。)より高い値に予めセットされているため、入力ライン15のレベルがそのスレッシュホールド電圧値 $V_{th+}$  以上になり、シュミットトリガ素子11は入力信号の電圧値に関係なくオン状態に変わる。

【0029】そして、シュミットコントロール信号(反転FBCK0)が“HIGH”となった場合には、スリーステートバッファ12の出力はハイインピーダンス状態になるため、入力ライン15を介した入力信号(PA0-C) がシュミットトリガ素子11に入力する。

【0030】シュミットトリガ素子11は、いままでオン状態にあったため、コンパレートレベルがオン状態からオフ状態へのパルス立下時のスレッシュホールド電圧値 $V_{th-}$  へ変わり、このスレッシュホールド電圧値 $V_{th-}$  と入力信号(PA0-C) とを比較して2値化することになる。

```

if 現状オフ(スレッシュ電圧値 $V_{th+}$ ) and A2kがすべて1
then オン
else then 現状維持
if 現状オン(スレッシュ電圧値 $V_{th-}$ ) and A1kがすべて0
then オフ
else then 現状維持

```

ただし、 $n=1$ 、2は、現状がオンかオフかに依存しており、またコンパレートレベルであるスレッシュホールド電圧値 $V_{th-}$ 、 $V_{th+}$  に対応している。よって、現状オフの場合には $n=1$ に、現状オンの場合には $n=2$ に切替える。

【0035】また、この入力信号のオン・オフ判定中に、シュミットトリガ素子11が現状オン(スレッシュ電圧値 $V_{th-}$ )でシフトレジスタ21の出力(QA~B)が全て“1”になった場合、および現状オフ(スレッシュ電圧値 $V_{th+}$ )でシフトレジスタ21の出力(QA~B)が全て“0”になった場合には、シュミットトリガ素子11のスレッシュ電圧値 $V_{th-}$ 、 $V_{th+}$  が切替わる。

【0036】つまり、図3に示すように、シュミットトリガ素子11が現状オン(スレッシュ電圧値 $V_{th-}$ )で入力信号(PA0-C)の2値化を行っている際に、シフトレジスタ21の出力(QA~B)が全て“1”になった場合には、NANDゲート22の出力が“0”になって、ANDゲート24aの出力も“0”になり、NORゲート24bの出力が“1”になる。そして、D-FF25がサンプルクロック(反転DFNCK0)により入力Dにその出力“1”を取込み、出力Qが“1”に変わる一方、反転出力 $Q_n$ 、つまりスレッシュ選択信号(反転FBDA0)が“0”になってスリーステートバッファ12に入力する。スリーステートバッファ12では、シュミットコントロール信号(反転FBCK)が“LOW”になった際にスレッシュ選択信号(反転FBDA0)の“0”を出力し、シュミットトリガ素子11をオフ状態に切替えさせて、シュミットトリガ素子11にスレッシュ電圧値 $V_{th+}$  で入力信

6

\*【0031】2値化されたデータは、ディジタルフィルタ回路2に入力し、ディジタルフィルタ回路2では、図3に示すように、シフトレジスタ21がその2値化データをサンプルクロック(SRCK0)により入力して、判定回路24がこの2値化データによる入力信号のオン・オフ判定を後述するように行う。

【0032】図6(a)、(b)各々は、本発明および従来技術におけるディジタルフィルタ回路2の判定回路24での入力データである2値化データの判定方法を示している。

【0033】ディジタルフィルタ回路2では、同図(a)に示すようにシフトレジスタ21がシュミットトリガ素子11からの2値化データをいったん格納して、判定回路24が下記ルールに従って入力信号のオン・オフ判定を行う。

\*【0034】

※号(PA0-C)の2値化を行なわせる。

【0037】一方、シュミットトリガ素子11が現状オフ(スレッシュ電圧値 $V_{th+}$ )で入力信号(PA0-C)の2値化を行っている際、シフトレジスタ21の出力(QA~B)が全て“0”になった場合には、NORゲート23の出力が“1”になって、NORゲート24bの出力が“0”になる。そして、D-FF25がサンプルクロック(反転DFNCK0)により入力Dに“0”を取込み、出力Qが“0”になる一方、反転出力 $Q_n$ 、つまりスレッシュ選択信号(反転FBDA0)が“1”になってスリーステートバッファ12に入力する。スリーステートバッファ12では、シュミットコントロール信号(反転FBCK)が“LOW”になった際にスレッシュ選択信号(反転FBDA0)の“1”を出力し、シュミットトリガ素子11をオン状態に切替えさせて、シュミットトリガ素子11にスレッシュ電圧値 $V_{th-}$  で入力信号(PA0-C)の2値化を行なわせる。

【0038】それ以外の場合、つまりシフトレジスタ21の出力(QA~B)が全て“1”、あるいは“0”でない場合、およびスレッシュ選択信号(反転FBDA0)が“1”でシフトレジスタ21の出力(QA~B)が全て“0”、スレッシュ選択信号(反転FBDA0)が“0”でシフトレジスタ21の出力(QA~B)が全て“1”の場合には、D-FF25の出力Qおよび反転出力 $Q_n$ は変わらず、シュミットトリガ素子11は現状のスレッシュ電圧値 $V_{th-}$ 、 $V_{th+}$ により入力信号(PA0)の2値化を行う。

【0039】したがって、従来技術では、2つのしきい

値により入力信号の2値化する場合には、2台のコンパレータをパラレルに接続すると共に、図6(b)に示すように2台のシフトレジスタが必要であったのに対し、本実施例では、同図(a)に示すように、一台のシュミットトリガ素子11で異なるスレッシュ電圧値 $V_{th-}$ 、 $V_{th+}$ を自動切替えて、2つのしきい値により2値化すると共に、デジタルフィルタでその2値化の結果を格納するシフトレジスタが一台で済む。

【0040】このため、本実施例によれば、従来技術と較べてコストが低減すると共に、入力I/F回路およびデジタルフィルタ回路をデジタル素子のみで構成でき、ゲートアレイやセミカスタムチップでの1チップ化により、アナログ素子混載タイプと比較して、ゲート数や、実装面積等が小さくなる。

【0041】図7は、入力信号が“HIGH(5[V]でオン)”の状態を維持している場合、デジタルフィルタ回路2における判定の際の各信号をタイミングチャートにより示している。

【0042】まず、スレッシュ選択信号(反転FBD AO)が“1(=5[V])”で、スリーステートバッファ12がオン状態にあり、その出力(PAO-R)が $V_c=5[V]$ にチャージされて、シュミットトリガ素子11が現状オン(スレッシュ電圧値 $V_{th-}$ )で入力信号(PAO-C)の2値化を行っている際に、“HIGH”の入力信号(PAO)が入ってきた場合には、入力信号(PAO-C)は“HIGH”を維持した状態になり、シュミットトリガ素子11がその入力信号(PAO-R)を現状オン(スレッシュ電圧値 $V_{th-}$ )で2値化して“1”を出力する。

【0043】デジタルフィルタ回路2では、その2値化結果を入力して、シフトレジスタ21の出力(QA~B)が全て“1”になるまでは、D-FF25は現状維持で出力Qから“0”を出力する(上記判定ルール参照)。

【0044】ところで、この入力信号(PAO)は“HIGH(5[V])”の状態を維持しているため、シュミットトリガ素子11では“1”を出力し続け、直ぐにシフトレジスタ21の出力(QA~B)全てが“1”になる。すると、判定回路24の出力が“0”から“1”に変わって、D-FF25の出力Qも“0”から“1”に変わり、入力信号(PAO)を“1”であると判定する一方、反転出力Qnが“1”から“0”に変わって、反転出力Qn“0”が判定回路24に入力する一方、反転出力Qn“0”がスレッシュ選択信号(反転FBD AO)としてスリーステートバッファ12に入力する。

【0045】そして今度は、スリーステートバッファ12がオン状態あるときには、その出力(PAO-R)にスレッシュ選択信号(反転FBD AO)の“0”を出力し、このスレッシュ選択信号(反転FBD AO)の“0”によりシュミットトリガ素子11がオフ状態に切替って、入力信号(PAO-C)をスレッシュ電圧値 $V_{th+}$ で2値化することにな

る。

【0046】その際、入力信号(PAO)は“HIGH(5[V])”の状態を維持しているため、スリーステート12の出力(PAO-R)がハイインピーダンス状態にあるときには、シュミットトリガ素子11の出力(IPAO)がオン状態、つまり“1”を示して、この結果がデジタルフィルタ回路2へ送出される。

【0047】デジタルフィルタ回路2では、その2値化結果を入力してシフトレジスタ21の出力(QA~B)が全て“0”になるまで、D-FF25の出力Qから現状維持の“1”を出力する(上記判定ルール参照)。つまり、デジタルフィルタ回路2は、入力信号(PAO)が“HIGH(5[V])”の状態を維持している間は、このデジタルフィルタ回路2の出力(IND AO)として、D-FF25の出力Qから“1”を出力して、入力信号(PAO)が“1”であると判定する。

【0048】

【発明の効果】以上説明したように、本発明では、入力信号をバルス化する際のバルス波形立上時のスレッシュ電圧値と、バルス波形立下時のスレッシュ電圧値とが異なり、この両スレッシュ電圧値により入力ラインを介した入力信号を2値化する2値化手段を設け、2値化手段が入力信号を入力する前に、2値化手段の出力を立上(オン)状態、あるいは立下(オフ)状態へセットし、その両状態から入力ラインをハイインピーダンス状態にして、入力ラインを介して2値化手段に入力信号が入るようにしたため、2値化手段が立上状態にあるときには立下時のスレッシュ電圧値で入力信号を比較できる一方、立下状態にあるときには立上時のスレッシュ電圧値で入力信号を比較できる。

【0049】このため、本発明によれば、2つのしきい値により入力信号の2値化する場合には、2台のコンパレータが必要であった従来技術と較べ、一台の2値化手段で済むことになるので、コストが低減すると共に、実装面積が小さくなる。

【図面の簡単な説明】

【図1】本発明に係る入力I/F回路の一実施例の構成等を示す説明図。

【図2】クロック発生回路の構成を示す回路図。

【図3】デジタルフィルタ回路の構成を示す回路図。

【図4】クロック発生回路、デジタルフィルタ回路および入力I/F回路における入出力信号および内部信号を示すタイミングチャート。

【図5】入力I/F回路のシュミットトリガ素子が立上時のスレッシュ電圧値 $V_{th+}$ で入力信号を2値化する場合の各信号を示すタイミングチャート。

【図6】(a)、(b)各々、本発明および従来技術における、デジタルフィルタ回路における2値化データの判定方法を示す説明図。

【図7】入力信号が“HIGH”の状態を維持している場合

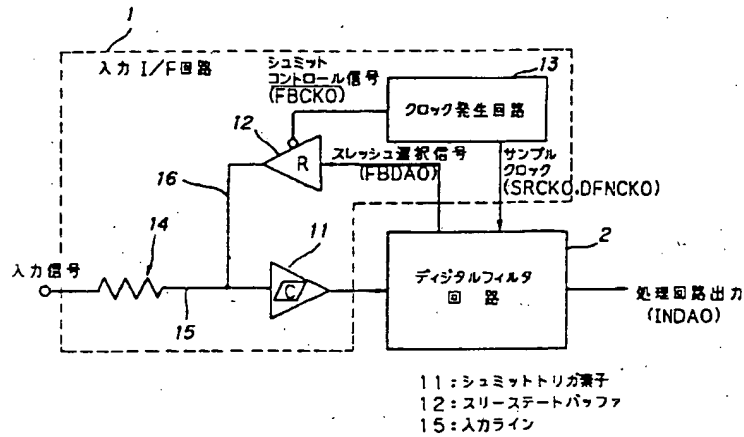
のデジタルフィルタ回路における判定の際の各信号を示すタイミングチャート。

【符号の説明】

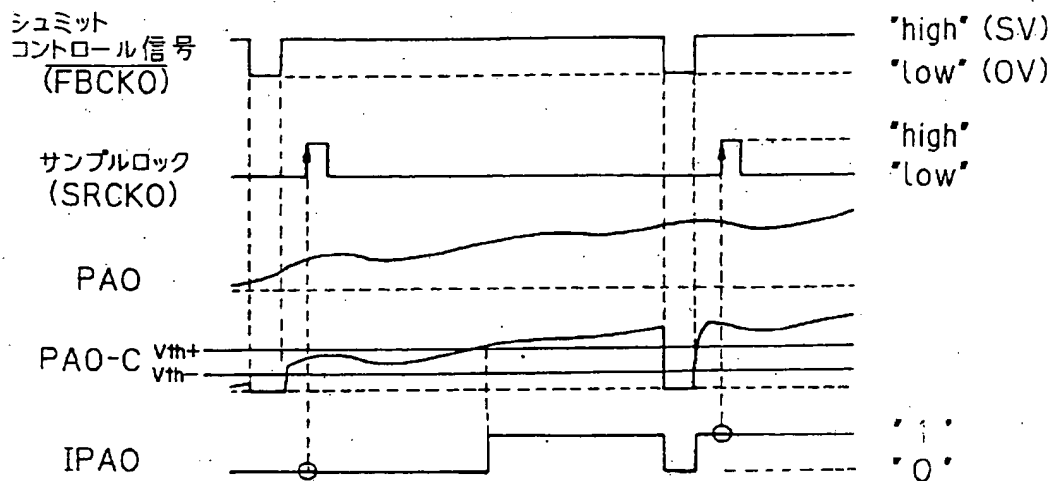
- 1 入力インタフェース回路(入力I/F回路)
- 2 デジタルフィルタ回路
- 3 フォトカプラ

- 11 シュミットトリガ素子(2値化手段)
- 12 スリーステートバッファ(スリーステート出力手段)
- 13 クロック発生回路(制御手段)
- 14 抵抗
- 15 入力ライン

【図1】

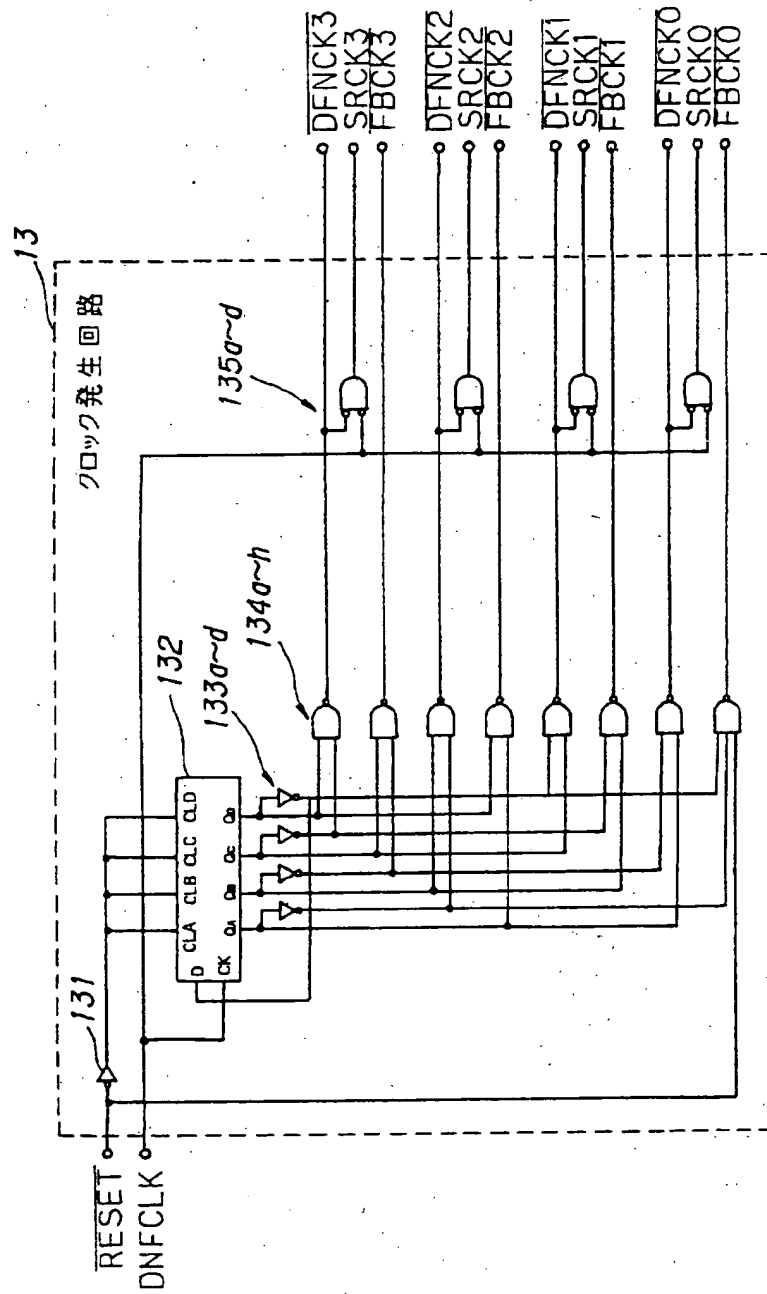


【図5】

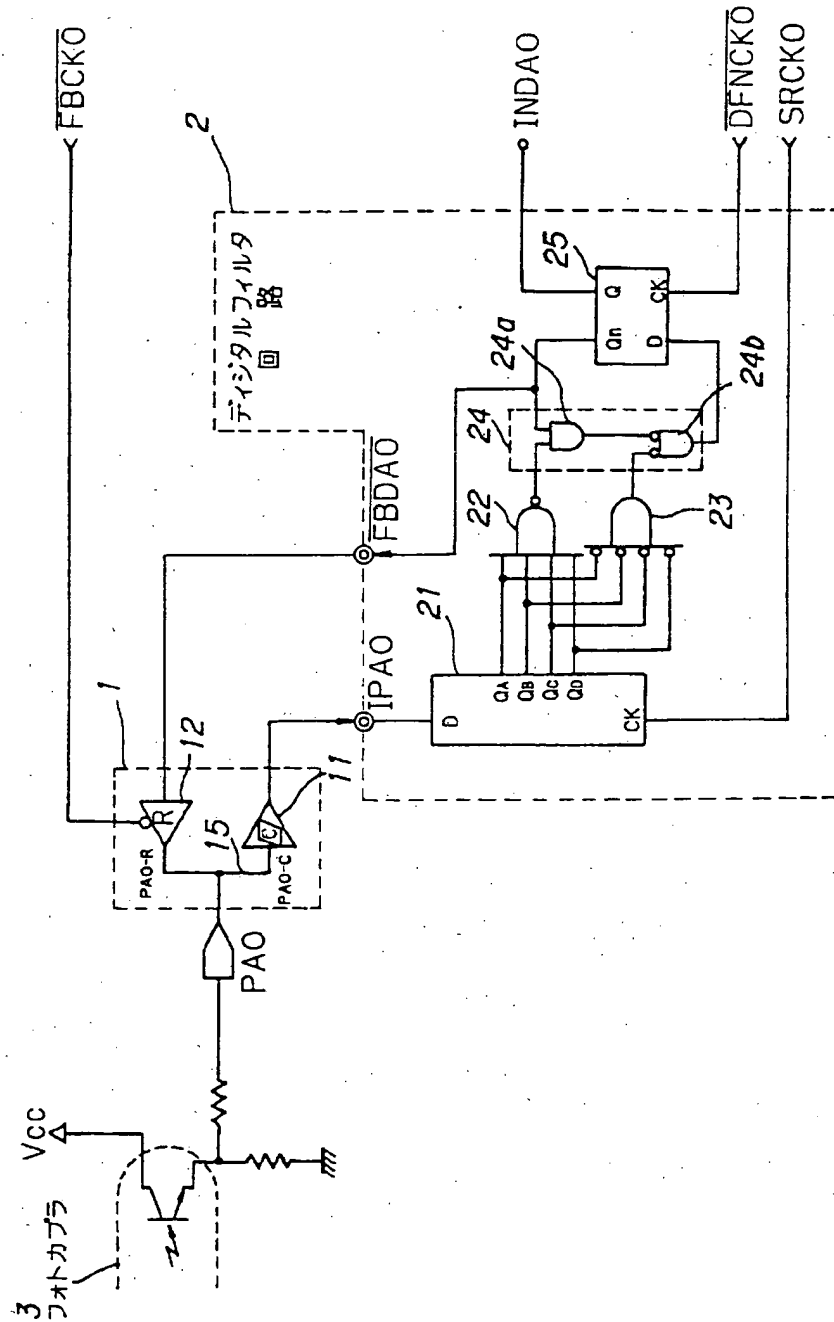




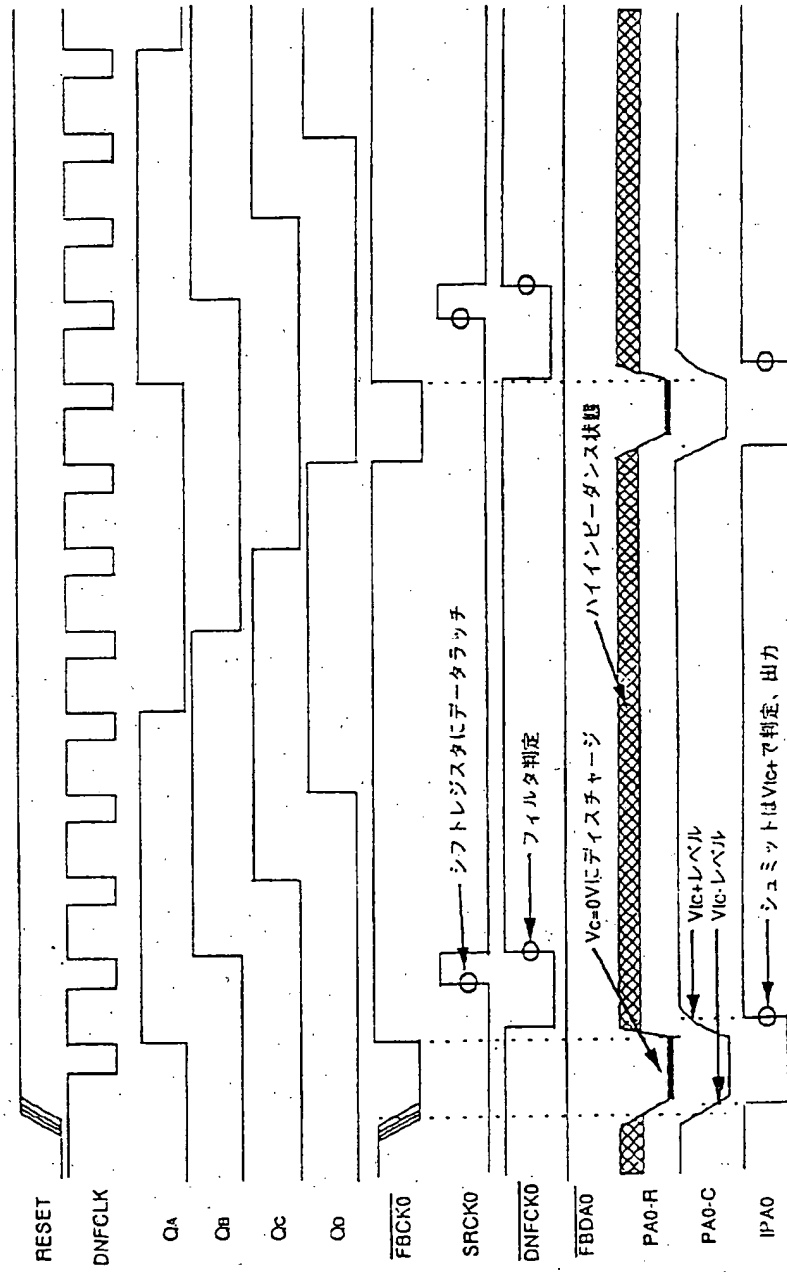
【図2】



【図3】



【図4】

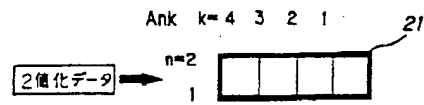


(10)

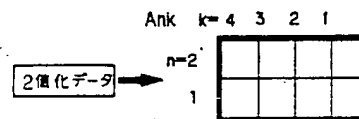
特開平5-143211

【図6】

(a)



(b)



【図7】

